

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

***** Dialog

CLASS "B" PUSH-PULL OUTPUT CIRCUIT

Publication Number: 56-134810 (JP 56134810 A) , October 21, 1981

Inventors:

- KOJIMA SHINICHI
- SEKI KUNIO

Applicants

- HITACHI LTD (A Japanese Company or Corporation), JP (Japan)

Application Number: 55-037434 (JP 8037434) , March 26, 1980

International Class (IPC Edition 3):

- H03F-003/20

JAPIO Class:

- 42.4 (ELECTRONICS--- Basic Circuits)

Abstract:

PURPOSE: To reduce the positive residual voltage to prevent the pop sound, by forming a positive half-wave output by the pnp driving transistor and the npn output transistor which are connected in the inverted Darlington mode and by providing a current pushing-out circuit in the driving transistor.

CONSTITUTION: The collector output of amplifying transistor (TR)Q(sub 14) is connected in the inverted Darlington mode through the emitter and the collector of TRQ(sub 26) and is input to driving TRQ(sub 27) which drives output TRQ(sub 29) which forms a negative half wave. The collector output of TRQ(sub 14) has the level shifted by diode Q(sub 15) and is connected in the inverted Darlington mode through current Miller circuits Q(sub 21) and Q(sub 22) and is input to TRQ(sub 23) which drives TRQ(sub 24) which forms a positive half wave. A constant-current pushing-out circuit based on constant-current TRQ(sub 11) which constitutes the Miller circuit is provided in the base of TRQ(sub 23). Since the capacity between the collector and the base of TRQ(sub 23) is changed up by this provided circuit, occurrence of the pop sound is prevented. Further, the positive residual voltage is reduced by TRs Q(sub 23) and Q(sub 24) in the inverted Darlington mode. (From: *Patent Abstracts of Japan*, Section: E, Section No. 91, Vol. 06, No. 12, Pg. 104, January 23, 1982)

JAPIO

© 2002 Japan Patent Information Organization. All rights reserved.

Dialog® File Number 347 Accession Number 814510

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭56—134810

⑮ Int. Cl.³
H 03 F 3/20

識別記号

庁内整理番号
7827—5 J

⑯ 公開 昭和56年(1981)10月21日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ B級プッシュプル出力回路

⑰ 発明者 関邦夫

小平市上水本町1450番地株式会
社日立製作所武蔵工場内

⑱ 特 願 昭55—37434

⑲ 出 願 昭55(1980)3月26日

⑱ 出 願 人 株式会社日立製作所

⑳ 発明者 児島伸一

東京都千代田区丸の内1丁目5
番1号

小平市上水本町1450番地株式会
社日立製作所武蔵工場内

㉑ 代理人 弁理士 薄田利幸

明 細 書

発明の名称 B級プッシュプル出力回路

特許請求の範囲

1. 正の半波出力を形成するnpnトランジスタとインバーティッドダーリントン形態に接続されたpnp駆動トランジスタに電流ミラー回路を介してA級電圧増幅出力を入力する回路を含むB級プッシュプル出力回路において、上記駆動トランジスタのベースに電流押し出し回路を設けたことを特徴とするB級プッシュプル出力回路。

発明の詳細な説明

この発明は、B級プッシュプル出力回路に関する。

従来、モノリシックパワーIC(半導体集積回路)等を構成するB級プッシュプル出力回路として、負の半波出力を形成する出力トランジスタとその駆動トランジスタとをインバーティッドダーリントン形態に接続したnpnトランジスタ、pnpトランジスタを用いる準コンプリメンタリB級プッシュプル出力回路が広く用いられている。

この回路において、正の半波出力を形成する回路は、ダーリントン形態に接続されたnpnトランジスタで構成されるものである。

この場合、正の最大値出力電圧は、上記ダーリントン形態に接続された駆動トランジスタ及び出力トランジスタのベース、エミッタ間電圧 $2V_{BE}$ により規定され、電源電圧 $V_{CC} - 2V_{BE}$ より大きくできない。また、上記出力回路の前段の回路であるA級電圧増幅回路の負荷として定電流トランジスタを用いた場合には、さらに、この定電流トランジスタにおけるコレクタ、エミッタ間電圧 V_{CE} だけ、上記出力最大値電圧は小さくなるものである。そこで、ブートストラップコンデンサを出力と上記駆動トランジスタのコレクタ(定電流負荷トランジスタを用いる場合には、この定電流トランジスタのエミッタ)との間に設けて、残り電圧を小さくすることが行なわれている。

しかし、この場合には、ブートストラップコンデンサが必要となり、特に、モノリシックICで回路を構成する場合には、外付端子が増加すると

いう欠点がある。

以上のことより、本願発明者等においては、第1図に示すような回路を先に提案した。

この回路は、正の半波出力を形成する出力回路として、残り電圧を小さくするため、インバーティッドダーリントン形態に接続したpnp駆動トランジスタ Q_{11} 、npn出力トランジスタ Q_{12} で構成するとともに、ダイオード(ダイオード接続したトランジスタを含む、以下同じ) Q_{11} とトランジスタ Q_{12} とで構成された電流ミラー回路を介して、A級電圧増幅出力を入力するようにするものである。なお、1は負の半波出力を形成する出力トランジスタ Q_{12} の駆動回路である。

この回路にあっては、駆動トランジスタ Q_{11} のコレクタ、エミッタ間飽和電圧 $V_{CE(sat)}$ と出力トランジスタ Q_{12} のベース、エミッタ間電圧 V_{BE} とで残り電圧が規定され、ブートストラップ回路を用いることなく、上記残り電圧を小さくできるものである。

しかし、電源投入時において、耳ざわりなポッ

(3)

し回路を設けるようにするものである。

以下、この発明を実施例とともに詳細に説明する。

第2図は、この発明をモノリシックパワーICに適用した場合の一実施例を示す回路図である。

抵抗 R_1 とツェナーダイオード D_Z との直列回路は、定電圧回路を構成し、このツェナー定電圧を入力とするエミッタフォロワトランジスタ Q_1 により定電圧出力を得る。

この定電圧出力は、次に説明するプリアンプ及びA級電圧増幅回路を構成する前段のトランジスタ Q_{10} の電源電圧として用いるものである。

ダイオード Q_2 の定電圧で駆動されるトランジスタ Q_2 及びエミッタ抵抗 R_2 は、プリアンプを構成する増幅トランジスタ Q_3 の定電流負荷を構成するものである。

上記ダイオード Q_2 とともに、直列接続された抵抗 R_3 及びダイオード Q_4 、 Q_5 は、上記増幅トランジスタ Q_3 のバイアス回路を構成し、上記ダイオード Q_4 、 Q_5 による定電圧 $2V_{BE}$ をベ-

(5)

ー電圧が発生するという欠点がある。

このポップ音の原因を検討した結果、次の理由によるものであることが判明した。

上記pnp駆動トランジスタ Q_{11} のコレクタ、ベース間寄生容量が数100pFと大きいため、電源投入時において、上記トランジスタ Q_{11} のエミッタからベースに微少なチャージ電流が流れ、このチャージ電流の上記トランジスタ Q_{11} における電流増幅率 h_{FE} 倍の電流が出力トランジスタ Q_{12} のベースに流れるものとなり、この出力トランジスタ Q_{12} が瞬時飽和しようとして出力 V_O が電源電圧 V_{CC} にねえ上がろうとすることによるものである。

この発明は正の残り電圧を小さくできるとともに、ポップ音を防止したB級プッシュプル出力回路を提供するためになされた。

この発明は、インバーティッドダーリントン形態に接続されたpnp^{駆動}トランジスタとnpn出力トランジスタとで正の半波出力を形成するとともに、上記駆動トランジスタのベースに電流押し出

(4)

す抵抗 R_4 を介して上記トランジスタ Q_3 のベースに印加する。

上記トランジスタ Q_3 のベースには、外付端子を介してカップリングコンデンサ C_1 が設けられ入力信号が印加される。また、上記トランジスタ Q_3 のエミッタには、エミッタ抵抗 R_5 が設けられ、外付端子を介して、交流負帰還回路(C_2 、 R_{10} 、 R_{20})を設けるものである。

抵抗 R_6 とトランジスタ Q_6 及びエミッタ抵抗 R_7 は、定電圧回路を構成するものであり、そのベースに抵抗 R_8 を設けて、定電流を形成する。

上記抵抗 R_8 で形成した定電流は、上記トランジスタ Q_6 のコレクタ、ベースにベース、エミッタを接続したトランジスタ Q_7 を介して電流ミラー回路を構成する入力トランジスタ Q_{10} に流入するものである。

また、上記トランジスタ Q_6 に対してベースを共通とし、エミッタに同様なエミッタ抵抗 R_9 を設けたトランジスタ Q_8 により、電源電圧 V_{CC} の変動に応じた電流源回路を設けて、上記プリア

(6)

増幅トランジスタ Q_7 のエミッタ抵抗 R_9 に接続するとともに、上記電流を出力 OUT との間に設けた抵抗 R_{10} に流すことにより、出力中点電圧 V_Q を形成するものである。例えば、トランジスタ Q_7 、 Q_8 の電流比を1:2に設定するとともに、抵抗 R_{10} 、 R_9 の比を1:1に設定すれば、上記中点電圧 V_Q を $V_{CC}/2$ とすることができるものである。

上記増幅トランジスタ Q_8 のコレクタ出力を入力とするトランジスタ Q_{10} と、そのエミッタ出力を入力とするトランジスタ Q_{11} とは、A級電圧増幅回路を構成する増幅トランジスタである。この増幅トランジスタ Q_{10} 、 Q_{11} の入出力間には、位相補償用のコンデンサ C_1 を設けるものである。

抵抗 R_{11} とトランジスタ Q_{17} 及びエミッタ抵抗 R_{12} は、定電圧回路を構成し、この定電圧トランジスタ Q_{17} のベースに抵抗 R_{13} を設けて、定電流を形成する。この抵抗 R_{13} で形成した定電流は、上記トランジスタ Q_{17} のコレクタ、ベースに、ベース、エミッタを接続したトランジスタ Q_{18} を介

(7)

力は、バイアス回路を構成するダイオード Q_{19} によりレベルシフトして、トランジスタ Q_{11} 、 Q_{10} で構成された電流ミラー回路を介して、インバーティッドダーリントン形態に接続され、正の半波出力を形成する出力トランジスタ Q_{10} を駆動する駆動トランジスタ Q_{17} に inputs するものである。

上記電流ミラー回路を構成するトランジスタ Q_{11} 、 Q_{10} の共通エミッタと出力トランジスタ Q_{10} のベースとの間には、バイアス回路を構成するダイオード Q_{19} を設けるものである。また、上記共通エミッタには、上記定電圧回路を構成するトランジスタ Q_{17} にベースを共通とし、エミッタに同様な抵抗 R_{14} を設けた電流源回路を接続するものである。

この実施例回路においては、上記正の半波出力を形成する出力トランジスタ Q_{10} を駆動する駆動トランジスタ Q_{17} のベースに、前記説明した電流ミラー回路を構成する定電流トランジスタ Q_{11} による定電流押し出し回路を設けるものである。

この電流押し出し回路により、電源投入時に

して電流ミラー回路を構成する入力トランジスタ Q_{10} に inputs して、その出力であるトランジスタ Q_{10} を上記A級増幅トランジスタ Q_{10} の定電流負荷として用いるものである。

上記増幅トランジスタ Q_{11} のコレクタ出力は、トランジスタ Q_{20} のエミッタ、コレクタを通してインバーティッドダーリントン形態に接続され、負の半波出力を形成する出力トランジスタ Q_{20} を駆動する駆動トランジスタ Q_{17} に inputs するものである。上記トランジスタ Q_{20} のコレクタには、負荷抵抗 R_{16} を設けるとともに、ベースと出力 OUT との間にバイアス回路を構成するトランジスタ Q_{21} 、及び抵抗 R_{17} を設けるものである。

すなわち、上記抵抗 R_{17} には、前記説明した電流ミラー回路を構成する定電流トランジスタ Q_{11} の電流 I_0 を流すことにより、 $V_{BEQ_{21}} = I_0 R_{17}$ の定電圧を形成し、中点電圧 V_Q をレベルシフトとして上記トランジスタ Q_{20} のベースに印加するものである。

また、上記増幅トランジスタ Q_{11} のコレクタ出

(8)

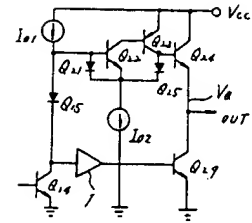
いて、上記駆動トランジスタ Q_{17} のコレクタ、ベース間寄生容量 C_{ob} にチャージアップがなされるため、ポップ音の発生を防止することができる。

そして、この実施例回路においては、インバーティッドダーリントン形態に接続された駆動トランジスタ Q_{17} と出力トランジスタ Q_{10} とにより正の半波出力を形成するものであるため、正の残り電圧を駆動トランジスタ Q_{17} のコレクタ、エミッタ間飽和電圧 $V_{CE(sat)}$ と、出力トランジスタ Q_{10} のベース、エミッタ間電圧 V_{BE} との和($V_{CE(sat)} + V_{BE}$)と小さくできるものである。

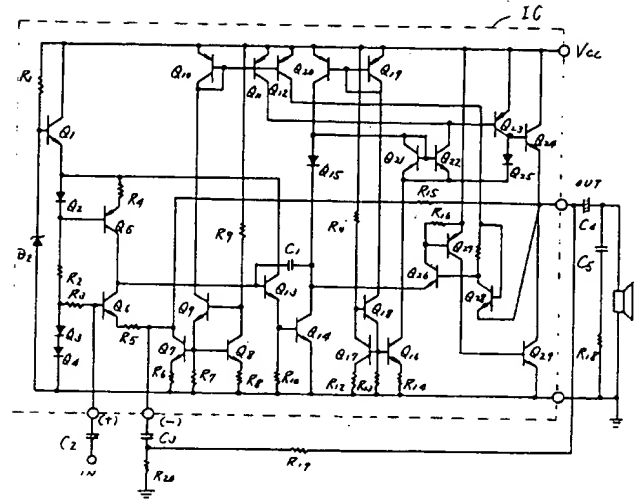
なお、この実施例回路においては、負の半波出力を形成する出力回路についても、駆動トランジスタ Q_{17} をバイアス回路から除くことにより、その残り電圧を出力トランジスタ Q_{20} 又はA級増幅トランジスタ Q_{11} のコレクタ、エミッタ間飽和電圧 $V_{CE(sat)}$ で規定される小さな電圧とするものである。すなわち、上記駆動トランジスタ Q_{17} のベースに直接A級電圧増幅出力を入力して、そのコレクタ出力で出力トランジスタ Q_{20} を駆動する

(9)

第 1 図



第 2 図



ととも、エミッタと出力UTとの間にバイアス回路を設けた場合には、ベース、エミッタ飽和電圧 $V_{BE(sat)}$ が大きくなるpnpトランジスタ Q_{27} により残る電圧がこの分だけ大きくなってしまふからである。

この発明は、前記実施例に限定されず、正の半波出力を形成する出力トランジスタ Q_{24} の駆動トランジスタ Q_{23} のベースに設ける電流押し出し回路は、電流源回路で構成するものであってもよいし、 Q_{23} のベース、エミッタ間に挿入された、適切な抵抗であってもよい。

プリアンプ及びA級電圧増幅回路の具体的構成は上記実施例のものに限定されずその他の構成のものであってもよい。

図面の簡単な説明

第1図は、本願発明者等が先に提案したB級プッシュプル出力回路の回路図、第2図は、この発明の一実施例を示す回路図である。

1…駆動回路

代理人 弁理士 海田利幸

011